

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-246585

(43)Date of publication of application : 02.10.1990

(51)Int.Cl.

H04N 5/335

(21)Application number : 01-066133

(71)Applicant : HITACHI LTD

(22)Date of filing : 20.03.1989

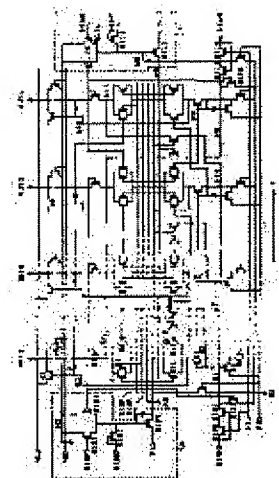
(72)Inventor : NAKAMURA SHIGEO
TAKANAMI HIROO

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To transmit a signal in both directions without increasing the number of external terminals by using an initial pulse as the pulse which indicates the signal transmission direction.

CONSTITUTION: An initial pulse HINR which indicates the shift operation in the right direction (reverse) is supplied to the gate of a MOSFET Q4, and an initial pulse HINF which indicates the shift operation in the left direction (forward) is supplied to the gate of a MOSFET Q5. An output signal OUT1 of a first circuit in the next stage is supplied to the gate of a MOSFET Q6. Since initial pulses are used as pulses which indicate signal transmission directions in this manner, the signal is transmitted selectively in both directions from one to the other or inversely without increasing the number of external terminals.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平2-246585

⑮ Int. Cl.³

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)10月2日

H 04 N 5/335

E

8838-5C

審査請求 未請求 請求項の数 3 (全11頁)

⑭ 発明の名称 半導体集積回路装置

⑯ 特 願 平1-66133

⑰ 出 願 平1(1989)3月20日

⑱ 発 明 者 中 村 重 雄 千葉県茂原市早野3300番地 株式会社日立製作所茂原工場内

⑲ 発 明 者 高 波 博 郎 千葉県茂原市早野3300番地 株式会社日立製作所茂原工場内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

半導体集積回路装置

2. 特許請求の範囲

1. 第1のタイミングパルスがドレインに供給され、そのゲート容量を記憶手段とし、ソースから出力信号を送出させる第1のMOSFETと、上記第1のMOSFETのゲートとソースとの間に設けられた容量手段と、上記第1のMOSFETのソースの信号を伝える一方向性素子とを含む第1の回路と、上記第1のタイミングパルスとは相互に位相が異なる第2のタイミングパルスがドレインに供給され、そのゲート容量を記憶手段とし、ソースから出力信号を送出させる第2のMOSFETと、上記第2のMOSFETのゲートとソースとの間に設けられた容量手段と、上記第2のMOSFETのソースの信号を伝える一方向性素子とを含む第2の回路とを対とする複数の単位回路と、一方向性素子を介して一方の信号伝達方向を指示するパルス

がゲートに供給され、ドレインに上記第1のタイミングパルスが供給される信号伝達方向を記憶する第1のMOSFETと、一方向性素子を介して他方の信号伝達方向を指示するパルスがゲートに供給され、ドレインに上記第1のタイミングパルスが供給される信号伝達方向を記憶する第2のMOSFETと、上記信号伝達方向を記憶する第1と第2のMOSFETのソースから択一的に出力される制御信号によりそれぞれスイッチ制御され、上記一方向性素子を通じた信号を前段又は次段に配置される第1又は第2の回路のMOSFETのゲートに伝える一対のスイッチMOSFETと、上記第1のタイミングパルスを受け、上記一方又は他方の伝達方向を指示するパルスを一方の端に配置される単位回路における第2の回路及び他方の端に配置される単位回路における第2の回路の第2のMOSFETのゲートに初期信号を供給する一対の入力回路とからなる信号伝達回路を具備することを特徴とする半導体集積回路装置。

2. 上記第1と第2の回路における一方方向性素子を介した信号は、上記信号伝達方向を記憶する第1と第2のMOSFETのソースから択一的に出力される制御信号に従ってそれぞれスイッチ制御されるスイッチMOSFETを介して前段又は次段に配置される単位回路の対応する第1と第2の回路における上記一方方向性素子を通した信号をリセットさせるリセット用MOSFETのゲートに伝えられることにより、上記信号伝達回路を双方向ダイナミック型シフトレジスタとして動作させるものであることを特徴とする特許請求の範囲第1項記載の半導体集積回路装置。
3. 上記双方向ダイナミック型シフトレジスタとしての動作を行う信号伝達回路は、MOS形固体撮像装置における光電変換信号読み出し動作を行う走査信号を形成するものであることを特徴とする特許請求の範囲第2項記載の半導体集積回路装置。
3. 発明の詳細な説明

消費電力化が可能になる。

しかしながら、ダイナミック型シフトレジスタとしては、スタティック型シフトレジスタのように双方向にシフト動作を行うものが開発されていないため、上記固体撮像装置にあっては走査方向が一義的に決められてしまう。通常のビデオテープレコーダ等に用いられる固体撮像装置にあっては、上記走査方向が一義的に決められていることによる格別な問題は指摘されいないのが現状である。しかしながら、監視装置にあっては、カメラ本体を隠すためにミラーを用いて撮影することの必要がしばしば生じる。ミラーを用いて撮影を行うと被写体の左右が逆転したものを撮影することとなる。したがって、それをモニターするとき又はビデオテープレコーダに録画したものを再生するとき、左右が入れ変わった画像を見ることになってしまう。そこで、走査方向を逆にした固体撮像装置を形成することが考えられるが、その用途が限られてしまうため量産性が悪くなってコスト高になる。また、上記のようなダイナミッ

(産業上の利用分野)

この発明は、半導体集積回路装置に関し、例えばダイナミック型シフトレジスタを含むMOS形固体撮像装置に利用して有効な技術に関するものである。

(従来の技術)

従来より、フォトダイオードとスイッチMOSFET(絶縁ゲート形電界効果トランジスタ)との組み合わせからなるMOS形固体撮像装置が公知である。このような固体撮像装置に関しては、例えばコロナ社「撮像工学」頁126～頁147、1985年9月「テレビジョン学会技術報告」頁49～頁54、及び特開昭56-152382号等公報がある。

(発明が解決しようとする課題)

上記のような固体撮像装置においては、水平走査動作及び垂直走査動作を行うために、ダイナミック型シフトレジスタが用いられる。このような走査回路にダイナミック型シフトレジスタを用いることによって、回路の簡素化及び高密度化と低

ク型シフトレジスタに双方向シフト機能を設ける場合、外部端子数を増加させないことが半導体集積回路装置のパッケージの小型化を図る上で望ましい。

この発明の目的は、信号の伝達方向を双方向に行うことを可能にしたダイナミック型信号伝達回路を含む半導体集積回路装置を提供することにある。

この発明の他の目的は、外部端子数を増加させることなく、双方向のダイナミック型シフトレジスタを含む半導体集積回路装置を提供することにある。

この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

(課題を解決するための手段)

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、第1のタイミングパルスとノンオーバーラップのもとに位相が異なる第2のタイミング

パルスとがそれぞれドレインに供給され、そのゲート容量を記憶手段とし、ソースから出力信号を送出させるMOSFETと、上記MOSFETのゲートとソースとの間に設けられた容量手段と、上記MOSFETのソースの信号を伝える一方向性素子とをそれぞれ含む第1と第2の回路を一対とする複数の単位回路と、信号伝達方向を一時的に指示する制御信号によりそれぞれスイッチ制御され、上記一方向性素子を通した信号を前段又は次段に配置される第1又は第2の回路のMOSFETのゲートに伝える一対のスイッチMOSFET及び一方と他方の端に配置される単位回路に上記制御信号によって一時的に動作状態にされる一対の入力回路とにより信号伝達回路を構成するとともに、上記信号伝達方向を指示する制御信号を一方向性素子を介して信号伝達の指示を兼ねるイニシャルパルスがゲートに供給され、ドレインに上記第1のタイミングパルスが供給される信号伝達方向を記憶するMOSFETのソースから出力させる。

態になり、そのドレインに供給されるタイミングパルスH1のハイレベルをソース側に伝える。ソース側の信号は出力信号OUT1とされる。このとき、MOSFETQ1のしきい値電圧によって出力信号OUT1のレベルが低下してしまうのを防ぐために、MOSFETQ1のゲートとソース間にはブートストラップ容量C1が設けられる。上記MOSFETQ1のソースには、信号伝達動作を行うためにダイオード形態にされたMOSFETQ3が設けられる。このMOSFETQ3は、MOSFETQ1のソース側のハイレベルの信号を伝達するという一方向性素子としての動作を行う。特に制限されないが、上記MOSFETQ1のソースと回路の接地電位点との間には、出力信号OUT1を高速にリセットさせるためのリセットMOSFETQ2が設けられる。このリセットMOSFETQ2のゲートには、上記タイミングパルスH1と互いにハイレベルが重なり合うことが無いようなノンオーバーラップ期間を持って位相が異なるようにされたタイミングパルスH2が

(作用)

上記した手段によれば、信号伝達方向を指示するパルスとしてイニシャルパルスを利用できるから、外部端子数の増加を防止しつつ一方から他方又はその逆方向に向かって選択的に信号伝達動作を行わせることが可能となる。

(実施例)

第1図は、この発明をダイナミック型シフトレジスタに適用した場合の一実施例の回路図が示されている。同図の各回路素子は、公知の半導体集積回路の製造技術によって、特に制限されないが、単結晶シリコンのような1個の半導体基板上において形成される。同図には、図面が複雑になってしまうのを避けるためにOUT1ないしOUT4からなる4ビットのダイナミック型シフトレジスタが例示的に示されている。

MOSFETQ1は、記憶動作と出力動作を行う。すなわち、MOSFETQ1は、そのゲート容量を記憶手段としている。ゲート容量にハイレベルが保持されると、MOSFETQ1はオン状

供給される。

上記ダイオード形態のMOSFETQ3のソース側(ノードN4)には、MOSFETQ1の出力信号OUT1を伝達させるための伝達回路が設けられる。この実施例では、この回路が左端に設けられる関係から、右方向へのシフト動作を実現するスイッチMOSFETQ12が設けられる。すなわち、他の単位回路では双方向のシフト動作を行うようスイッチMOSFETが設けられるが、上記回路ではそれが省略される。上記MOSFETQ12のゲートには、後述するようなノードN6の信号が供給される。また、上記第1の回路のノードN4と回路の接地電位HSとの間には、リセット用MOSFETQ4～Q6が設けられる。MOSFETQ4のゲートには、右方向(リバース)へのシフト動作を指示するイニシャルパルスH1NRが供給され、MOSFETQ5のゲートには左方向(フォワード)へのシフト動作を指示するイニシャルパルスH1NFが供給される。そして、MOSFETQ6のゲートには、次段の第

1 回路の出力信号OUT1が供給される。

半ビット分の単位回路(第1の回路)は、上記のようなMOSFETQ1ないしQ6等により構成され、同様な第2の回路が上記第1の回路と上下対称的に構成されている。

上記第1の回路の対をなす半ビット分の第2の回路は、MOSFETQ7ないしQ11等から構成される。ただし、記憶及び出力動作を行うMOSFETQ7のドレインには、タイミングパルスH2が供給される。また、出力側N2に設けられるリセット用MOSFETQ8のゲートには、タイミングパルスH1が供給される。そして、第2の回路の一方性素子としてのMOSFETQ9を通した出力信号は、上記第1の回路に入力信号として供給される。第2の回路の入力であるノードN1には、MOSFETQ100、Q101を介してフォワード用のイニシャルパルスHINFが供給され、MOSFETQ35を介して次段単位回路における第1の回路の出力信号が伝えられる。上記MOSFETQ35は、後述するような

リバース用のイニシャルパルスHINRを記憶する記憶情報N13によって制御される。

出力信号OUT2ないしOUT4に対応した他の単位回路も上記出力端子OUT1の単位回路と基本的には同一の回路から構成される。それ故、MOSFETに付した回路記号を省略するものである。ただし、出力OUT2とOUT3は、双方方向のシフト動作を行うため、それぞれの第1と第2の回路のダイオードMOSFETを介した出力ノードに設けられるリセット回路の構成及び信号伝達方向を決めるMOSFETの構成が若干異なるものである。すなわち、出力OUT2とOUT3に対応した第1の回路と第2の回路からなる単位回路では、リセット用MOSFETはそれぞれ4個からなり、上記イニシャルパルスHINFとHINR及び隣接する両単位回路の出力信号によりリセットが行われる。そして、信号伝達用MOSFETは、上記フォワード又はリバースの両制御信号とタイミングパルスH1によりスイッチ制御されるMOSFETが双方に設けられる。そし

て、出力OUT4に対応した単位回路は、右端に配置されるため、左方向(リバース)のみへのシフト動作を行うため、上記リセット回路と信号伝達用MOSFETが出力OUT1に対応した上記単位回路とは逆になるものである。

この実施例では、イニシャルパルスを利用してシフト方向も決めるようにする。すなわち、同図に点線で示した回路Aは、フォワード方向のシフト動作を決める制御信号を形成する。フォワード用のイニシャルパルスHINFは、ダイオード形態のMOSFETQ113を介してMOSFETQ112のゲート(ノードN5)に伝えられる。このMOSFETQ112は、そのゲート容量を記憶手段とし、上記イニシャルパルスHINFの入力を記憶する。このMOSFETQ112のドレインには、タイミングパルスH1が供給される。そして、MOSFETQ112のゲートとソースとの間には、ブートストラップ容量が設けられる。上記入力回路Aのリセットのために、ノードN5と回路の接地電位HSとの間には、リバース用イ

ニシャルパルスHINRを受けるMOSFETQ114及び出力OUT4を受けるMOSFETQ115が設けられる。すなわち、リバース用イニシャルパルスHINRが供給されたとき、フォワード方向のシフト動作において最終段OUT4までシフト動作が行われたとき、上記フォワードシフトを指示する記憶情報(N5)がリセットされる。

上記記憶MOSFETQ112は、タイミングパルスH1に同期して、シフト方向を決めるMOSFETをスイッチング動作する。そのため、ノードN6は、タイミングパルスH2を受けるMOSFETによって、タイミングパルスH2がハイレベルのときにロウレベルにリセットされる。これにより、後述するようなタイミングパルスH2がハイレベルにされたときの半ビット分のシフト動作が行われる。

同図に点線で示した回路Bは、リバース方向のシフト動作を決める制御信号を形成する。リバース用のイニシャルパルスHINRは、ダイオード

形態のMOSFETQ103を介してMOSFETQ102のゲート(ノードN12)に伝えられる。このMOSFETQ102は、そのゲート容量を記憶手段とし、上記イニシャルパルスH1NRの入力を記憶する。このMOSFETQ102のドレインには、タイミングパルスH1が供給される。そして、MOSFETQ102のゲートとソースとの間には、ブートストラップ容量が設けられる。上記入力回路Bのリセットのために、ノードN12と回路の接地電位HSとの間には、フォワード用イニシャルパルスH1NFを受けるMOSFETQ104及び出力OUT1を受けるMOSFETQ105が設けられる。すなわち、フォワード用イニシャルパルスH1NFが供給されたときと、リバース方向のシフト動作において最終段OUT1までシフト動作が行われたとき、上記リバースシフトを指示する記憶情報(N12)のリセットが行われる。

上記記憶MOSFETQ102は、タイミングパルスH1に同期して、シフト方向を決めるMO

SFETをスイッチング動作する。そのため、ノードN13は、タイミングパルスH2を受けるMOSFETによって、タイミングパルスH2がハイレベルのときにロウレベルにリセットされる。これにより、後述するようなタイミングパルスH2がハイレベルにされたときの半ビット分のシフト動作が行われる。

上記第1図に示したダイナミック型シフトレジスタのフォワード方向の動作の一例を第2図に示したタイミング図を参照して次に説明する。

フォワード方向のシフト動作のときにはフォワード用のイニシャルパルスH1NFをハイレベルにする。これにより、各リセットMOSFETがオン状態になって各ノードがリセットされるとともに、ダイオード形態のMOSFETQ113を介してノードN5もハイレベル($V_{cc}-V_{th}$)になる。タイミングパルスH1がハイレベルになると、上記オン状態のMOSFETQ113を介してノードN6がハイレベルにされる。このノードN6のハイレベルにより各単位回路間においてフ

ォワード方向に信号を伝達するMOSFETがオン状態になる。また、フォワードイニシャルパルスH1NFのハイレベルによりMOSFETQ101がオン状態になって出力OUT1に対応した単位回路における第2の回路の入力であるノードN1にハイレベルがセットされる。このとき、第2の回路では、タイミングパルスH1のハイレベルによりMOSFETQ8がオン状態になってリセット状態になっている。

タイミングパルスH2がハイレベルになると、リセットMOSFETがオン状態になってノードN6をロウレベルにする。これにより、各単位回路間でフォワード方向に信号を伝達するMOSFETがオフ状態になる。上記タイミングパルスH2のハイレベルにより上記第2の回路は、記憶用MOSFETQ7を通してノードN2をハイレベルに立ち上げる。このノードN2のハイレベルはダイオード形態のMOSFETQ9を通して第1の回路の入力であるノードN3に伝えられる。このとき、第1の回路は、タイミングパルスH2の

ハイレベルによりMOSFETQ2がオン状態になってリセット状態になっている。

タイミングパルスH1がハイレベルになると、上記ノードN3のハイレベルによりオン状態になっているMOSFETQ1を通して出力OUT1がハイレベルにされる。上記タイミングパルスH1のハイレベルにより第2の回路のノードN2は、MOSFETQ8を通してロウレベルにリセットされる。また、ノードN5は、タイミングパルスH1のブートストラップがかかり高レベルにされ、タイミングパルスH1のハイレベルをノードN6に伝える。これにより、フォワード方向に信号伝達を行うMOSFETQ12がオン状態になる。したがって、出力OUT1のハイレベルが、ダイオード形態のMOSFETQ3と上記MOSFETQ12を通して出力OUT2の第2の回路の入力ノードN7に伝えられるものである。また、出力OUT1のハイレベルがMOSFETQ108をオン状態とし、ノードN1をロウレベルにリセットする。

タイミングパルスH2がハイレベルになると、上記出力OUT1に対応した単位回路における第2の回路の動作のときと同様に、リセットMOSFETがオン状態になってノードN6をロウレベルにする。これにより、各単位回路間でフォワード方向に信号を伝達するMOSFETがオフ状態になる。上記タイミングパルスH2のハイレベルにより上記出力OUT2に対応した第2の回路は、記憶用MOSFETを通して出力ノードをハイレベルに立ち上げる。この出力ノードのハイレベルはダイオード形態のMOSFETを通して第1の回路の入力ノードに伝えられる。このとき、第1の回路は、タイミングパルスH2のハイレベルによりリセット用MOSFETがオン状態となってリセット状態になっている。

そして、タイミングパルスH1がハイレベルになると、前記出力OUT1に対応した第1の回路の動作のときと同様に、上記入力ノードのハイレベルによりオン状態になっている記憶用MOSFETを通して出力OUT2がハイレベルにされる。

th)になる。タイミングパルスH1がハイレベルになると、上記オン状態のMOSFETQ103を介してノードN13がハイレベルにされる。このノードN13のハイレベルにより各単位回路間においてリバース方向に信号伝達するMOSFETがオン状態になる。また、リバース用イニシャルパルスH1NRとタイミングパルスH1のハイレベルによりMOSFETQ118とMOSFETQ111とがオン状態になって出力OUT4に対応した単位回路における第2の回路の入力であるノードN8にハイレベルがセットされる。このとき、第2の回路では、タイミングパルスH1のハイレベルによりリセットMOSFETがオン状態になりリセットがかけられている。

タイミングパルスH2がハイレベルになると、リセットMOSFETがオン状態になってノードN13をロウレベルにする。これにより、各単位回路間でリバース方向に信号伝達するMOSFETがオフ状態になる。上記タイミングパルスH2のハイレベルにより上記第2の回路は、記憶用M

上記タイミングパルスH1のハイレベルにより第2の回路の入力ノードN7は、上記MOSFETQ12とMOSFETQ6を通してノードN4とともにロウレベルにリセットされる。上記第2の回路の出力ノードは、タイミングパルスH1のハイレベルによってオン状態にされるリセットMOSFETによってリセットされる。

以下同様な動作の繰り返しにより、出力OUT4までフォワード方向にタイミングパルスH1とH2に同期して半ビットづつのシフト動作が行われるものとなる。

上記第1図に示したダイナミック型シフトレジスタのリバース方向の動作の一例を第3図に示したタイミング図を参照して次に説明する。

リバース方向のシフト動作のときにはリバース用のイニシャルパルスH1NRをハイレベルにする。これにより、各リセットMOSFETがオン状態になって各ノードがリセットされるとともに、ダイオード形態のMOSFETQ103を介してノードN12も前記同様にハイレベル(Vcc-V

MOSFETを通してノードN9をハイレベルに立ち上げる。このノードN9のハイレベルはダイオード形態のMOSFETを通して第1の回路の入力であるノードN10に伝えられる。このとき、第1の回路は、タイミングパルスH2のハイレベルによりリセット用MOSFETがオン状態となってリセットされている。

タイミングパルスH1がハイレベルになると、上記ノードN10のハイレベルによりオン状態になっている記憶用MOSFETを通して出力OUT4がハイレベルにされる。上記タイミングパルスH1のハイレベルにより第2の回路のノードN8とN9は、MOSFETQ118とリセットMOSFETを通してロウレベルにリセットされる。また、ノードN12は、タイミングパルスH1のハイレベルによりブートストラップがかかり高レベルにされ、タイミングパルスH1のハイレベルをノードN13に伝える。これにより、リバース方向に信号伝達を行うMOSFETがオン状態になる。したがって、出力OUT4のハイレベルが、

ダイオード形態のMOSFETと上記リバース方向の信号伝達を行うMOSFETを通して出力OUT3の第2の回路の入力ノードN14に伝えられるものである。

タイミングパルスH2がハイレベルになると、上記出力OUT4に対応した単位回路における第2の回路の動作のときと同様に、リセットMOSFETがオン状態になってノードN13をロウレベルにする。これにより、各単位回路間でリバース方向に信号伝達するMOSFETがオフ状態になる。上記タイミングパルスH2のハイレベルにより上記出力OUT3に対応した第2の回路は、記憶用MOSFETを通して出力ノードをハイレベルに立ち上げる。この出力ノードのハイレベルはダイオード形態のMOSFETを通して第1の回路の入力ノードに伝えられる。このとき、第1の回路は、タイミングパルスH2のハイレベルによりリセット用MOSFETがオン状態となってリセット状態になっている。

そして、タイミングパルスH1がハイレベルに

なると、前記出力OUT4に対応した第1の回路の動作のときと同様に、上記入力ノードのハイレベルによりオン状態になっている記憶用MOSFETを通して出力OUT3がハイレベルにされる。上記タイミングパルスH1のハイレベルにより第2の回路の入力ノードN14は、上記リバース方向への信号伝達を行うMOSFETとリセット用MOSFETを通してノードN11とともにロウレベルにリセットされる。上記第2の回路の出力ノードは、タイミングパルスH1のハイレベルによってオン状態にされるリセットMOSFETによってリセットされる。

以下同様な動作の繰り返しにより、出力OUT1までリバース方向にタイミングパルスH1とH2に同期して半ビットづつのシフト動作が行われるものとなる。

第4図には、上記ダイナミック型シフトレジスタが用いられる固体撮像装置の一実施例の要部回路図が示されている。同図では、3行、2列分の回路が代表として例示的に示されている。同図の

各回路素子は、公知の半導体集積回路の製造技術によって、特に制限されないが、単結晶シリコンのような1個の半導体基板において形成される。なお、同図のMOSFETに付した回路記号と、第1図に示したMOSFETの回路記号と重複したものがあるが、それぞれ別個の回路機能を持つものであると理解されたい。

1つの画素セルは、フォトダイオードD1と垂直走査線V1にそのゲートが結合されたスイッチMOSFETQ101と、水平走査線H1にそのゲートが結合されたスイッチMOSFETQ102の直列回路から構成される。上記フォトダイオードD1及びスイッチMOSFETQ101、Q102からなる画素セルと同じ行（水平方向）に配置される他の同様な画素セル（D2、Q103、Q104）等の出力ノードは、同図において横方向に延長される水平信号線HS1に結合される。他の行についても上記同様な画素セルが同様に結合される。上記水平信号線HS1等には、それに対応した垂直走査線V1が平行して配置される。

この垂直走査線V1には、上記のようにそれに対応した画素セルのスイッチMOSFETQ101、Q103等が結合される。このことは、例示的に示されている他の行の垂直走査線V2及びV3においても同様である。

水平走査線は、同図において縦方向に延長され、同じ列に配置される画素セルのスイッチMOSFETQ102、Q106、及びQ110のゲートは、共通の水平走査線H1に結合される。他の列に配置される画素セルも上記同様に対応する水平走査線H2等に結合される。

上記垂直走査線V1、V2及びV3は、上記水平信号線HS1ないしHS3を縦（垂直）方向に延長される出力線VSに結合させるスイッチMOSFETQ113ないしQ115のゲートにも結合される。この出力線VSとバイアス電圧VBとの間には、読み出し用の負荷抵抗Rが設けられる。この負荷抵抗Rを通して、画素セルが選択されたとき、フォトダイオードに蓄積された光信号に対応した電流が流れることによって、その画素セル

からの読み出し動作と、次の読み出し動作のためのリセット（プリチャージ）動作とが同時に行われる。上記負荷抵抗Rにより得られた電圧信号は、ブリアンプPAによって増幅され、図示しない出力回路を通して出力される。

この実施例では、上記各行の水平信号線HS1ないしHS3には、スメア、ブルーミング等の偽信号を除去するために、リセット用MOSFET Q120ないしQ122が設けられる。これらのMOSFET Q120ないしQ122は、後述するようなタイミング関係をもって水平帰線期間内にオン状態にされ、各水平信号線HS1ないしHS3等にバイアス電圧VBを供給するものである。

これらのリセット用MOSFET Q120ないしQ122の動作は次の通りである。垂直走査線V1がハイレベルのとき、第1行目の読み出し動作が水平走査線H1、H2・・・が時系列的に順次ハイレベルにされることによって行われる。すなわち、このようにして次々に選択される画素セルのフォトダイオードに蓄積された光信号に対

応した電流が流れることによって、その画素セルからの読み出し動作と、次の読み出し動作のためのリセット（プリチャージ）動作とが同時に行われる。上記負荷抵抗Rにより得られる上記光電流に対応した電圧信号は、ブリアンプPAによって増幅され、図示しない出力回路を通して出力される。

上記1つの行の読み出しが終了すると、水平帰線期間に入る。この期間において上記垂直走査線V1はハイレベルからロウレベルにされ、非選択状態に切り換えられる。そして、リセット信号RSがハイレベルにされ、上記各リセット用MOSFET Q120ないしQ122をオン状態にする。これによって、非選択状態の水平信号線HS2等が発生した前述したような偽信号のリセットが行われるものである。

上記のような固体撮像装置の水平走査線H1、H2・・・等を順次選択する選択信号を形成する水平シフトレジスタHSRとして、第1図に示したような双方向のダイナミック型シフトレジスタ

が用いられる。上記双方向ダイナミック型シフトレジスタは、前述のようにフォワード方向とリバース方向のシフト動作を行うものであるため、水平走査線の走査方向を任意に指定可能となる。これによって、例えば、フォワード方向のシフト動作を指定すると、通常の画素信号の読み出しが行われる。これに対して、リバース方向のシフト動作を指定すると、左右を逆転させた画像信号の読み出しが可能となる。例えば、監視カメラに適用する場合、監視カメラ本体を天井又は壁の中に嵌め込むようにして、ミラーを介して被写体の撮影を行う場合、上記リバース方向のシフト動作を指定することによって、上記左右が逆転して映像信号を得ることができる。

なお、垂直走査線V1、V2、V3・・・等の選択信号を形成する垂直シフトレジスタVSRとして、上記同様に双方向のダイナミック型シフトレジスタを用いると、上下が逆転した映像信号を得ることもできる。上記のように水平及び垂直シフトレジスタとして、双方向のダイナミック型シ

フトレジスタを用いて、それぞれ共にリバース方向のシフト動作を指示すると、被写体を180°回転させた映像信号を得ることができる。

例えば、上記機能をビデオテープレコーダ用の固体撮像装置に設けて、スイッチの操作により任意に指定できるようにすると、それを用いて左右逆転、上下逆転及び180°回転させた撮影が可能になるから、トリック撮影等のような遊びができるものとなる。

上記の実施例から得られる作用効果は、下記の通りである。すなわち、

(1) 第1のタイミングパルスとノンオーバーラップのもとに位相が異なる第2のタイミングパルスとがそれぞれドレインに供給され、そのゲート容量を記憶手段とし、ソースから出力信号を送出させるMOSFETと、上記MOSFETのゲートとソースとの間に設けられた容量手段と、上記MOSFETのソースの信号を伝える一方向性素子とをそれぞれ含む第1と第2の回路を一对とする複数の単位回路と、信号伝達方向を一時的に指示す

る制御信号によりそれぞれスイッチ制御され、上記一方向性素子を通した信号を前段又は次段に配置される第1又は第2の回路のMOSFETのゲートに伝える一対のスイッチMOSFET及び一方と他方の端に配置される単位回路に上記制御信号によって択一的に動作状態にされる一対の入力回路とにより信号伝達回路を構成するとともに、上記信号伝達方向を指示する制御信号を一方向性素子を介して信号伝達方向を兼ねるイニシャルパルスがゲートに供給され、ドレインに上記第1のタイミングパルスが供給される信号伝達方向を記憶するMOSFETのソースから出力させることによって、双方向の信号伝達動作が可能になるという効果が得られる。

(ii) 信号伝達方向を指示するパルスとしてイニシャルパルスを利用することにより、外部端子数の増加を防止しつつ一方から他方又はその逆方向に向かって選択的にシフト動作を行わせることが可能になるという効果が得られる。

(iii) 上記ダイナミック型シフトレジスタを固体撮像

装置の走査タイミング信号を形成するシフトレジスタに用いることによって、被写体を左右、上下逆転されたと等価の撮影が可能になるとともにそれを実装するパッケージの小型化が可能になるという効果が得られる。

(iv) 上記(iii)により、ミラーを用いて撮影を行っても、逆転した被写体をもとに戻した映像信号を得ることができるから、監視カメラを天井又は壁の中に嵌め込んでも通常の映像信号を得ることができるという効果が得られる。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、第1図の実施例回路において、リセット用MOSFETを省略するものであってもよい。この場合には、例えば、論理"1"の信号がタイミングパルスH1とH2に応じて双方向に選択的に順次伝達されるという信号伝達回路を構成することができる。

第4図に示した固体撮像装置の垂直信号線は、奇数フィールドと偶数フィールドとで1本分づつ一対づつ選択状態にするようにしてもよい。これにより、インタレースに対して空間的重心を上下に移動させた画像信号を得ることができる。この場合、上記一対づつ選択される水平信号線に対応して一対からなる出力線を設けるものとしてもよい。このように、固体撮像装置の具体的な構成は種々の実施例形態を探ることができる。

この発明は、前記固体撮像装置の他、前記のように選択的に双方向に信号伝達が可能にされた信号伝達回路やダイナミック型シフトレジスタを含む各種半導体集積回路装置に広く適用できるものである。

(発明の効果)

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、第1のタイミングパルスとノンオーバーラップのもとに位相が異なる第2のタイミングパルスとがそれぞれドレインに

供給され、そのゲート容量を記憶手段とし、ソースから出力信号を送出させるMOSFETと、上記MOSFETのゲートとソースとの間に設けられた容量手段と、上記MOSFETのソースの信号を伝える一方向性素子とをそれぞれ含む第1と第2の回路を一対とする複数の単位回路と、信号伝達方向を択一的に指示する制御信号によりそれぞれスイッチ制御され、上記一方向性素子を通した信号を前段又は次段に配置される第1又は第2の回路のMOSFETのゲートに伝える一対のスイッチMOSFET及び一方と他方の端に配置される単位回路に上記制御信号によって択一的に動作状態にされる一対の入力回路とにより信号伝達回路を構成するとともに、上記信号伝達方向を指示する制御信号を一方向性素子を介して信号伝達方向を兼ねるイニシャルパルスがゲートに供給され、ドレインに上記第1のタイミングパルスが供給される信号伝達方向を記憶するMOSFETのソースから出力させることによって、双方向の信号伝達動作が可能になる。

4. 図面の簡単な説明

第1図は、この発明が適用されたダイナミック型シフトレジスタの一実施例を示す回路図、

第2図は、上記ダイナミック型シフトレジスタのフォワード方向の動作の一例を説明するためのタイミング図、

第3図は、上記ダイナミック型シフトレジスタのリバース方向の動作の一例を説明するためのタイミング図、

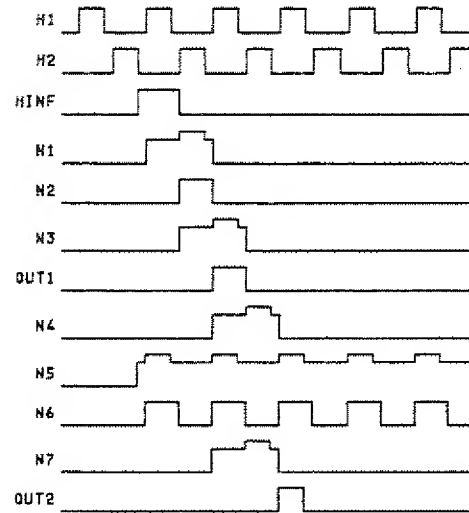
第4図は、上記ダイナミック型シフトレジスタが適用される固体撮像装置の一実施例を示す要部回路図である、

VSR・・・垂直シフトレジスタ、HSR・・・水平シフトレジスタ、PA・・・プリアンプ

代理人弁理士 小川 勝男



第2図



第1図

